

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-195092

(43)Date of publication of application : 30.07.1996

(51)Int.Cl.

G11C 16/06
H01L 27/10

(21)Application number : 07-003804

(71)Applicant : TOYOTA MOTOR CORP

(22)Date of filing : 13.01.1995

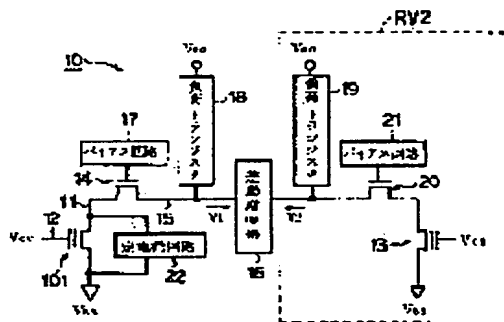
(72)Inventor : KUWABARA HIROSHI

(54) DATA READ-OUT CIRCUIT

(57)Abstract:

PURPOSE: To provide a data read-out circuit capable of deciding the binary data even by a large gate voltage without enlarging a threshold value fluctuation voltage of a memory transistor.

CONSTITUTION: A load voltage V1 changing according to a size of a through current of the memory transistor 101 is formed using a load transistor 18. The load voltage V1 is compared with a reference voltage V2, and the binary data stored in the memory transistor 101 are read out. The reference voltage V2 is decided based on the through current of a reference transistor 13. The resistance value of the load transistor 18 is made equal to the resistance value of a reference load transistor 19, and a fixed current is piled up to the through current of the memory transistor 101 by a constant current circuit 22 to be provided a difference between with the through current of the reference transistor 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-195092

(43) 公開日 平成8年(1996)7月30日

(51) Int. CL ⁶	識別記号	序内整理番号	P I	技術表示箇所
G 1 1 C 18/06				
H 0 1 L 27/10	4 8 1		G 1 1 C 17/ 00	5 2 0 C

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平7-3804

(22) 出願日 平成7年(1995)1月13日

(71) 出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(72) 発明者 桑原 拓

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

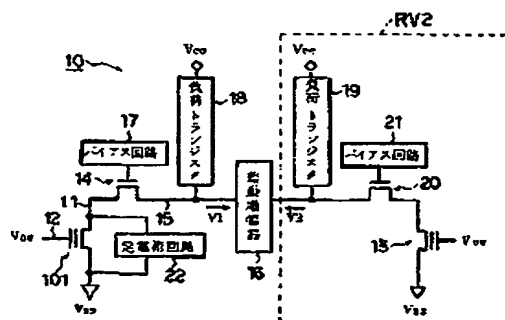
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 データ読み出し回路

(57) 【要約】

【目的】 メモリトランジスタの閾値変動電圧を大きくすることなく、大きなゲート電圧でもバイナリデータの判定が可能なデータ読み出し回路を提供する。

【構成】 負荷トランジスタ18を用いてメモリトランジスタ101の通過電流の大きさに従って変化する負荷電圧V1を作り出す。この負荷電圧V1を基準電圧V2と比較し、メモリトランジスタ101に記憶されたバイナリデータを読み出す。基準電圧V2は基準トランジスタ13の通過電流に基づいて決定される。負荷トランジスタ18の抵抗値と基準負荷トランジスタ19の抵抗値を等しくし、メモリトランジスタ101に、基準トランジスタ13の通過電流との間で差を設けるべく、定電流回路22によりメモリトランジスタ101の通過電流に一定の電流を積み増す。



(2)

特開平8-195092

1

2

【特許請求の範囲】

【請求項1】 バイナリデータの記憶に基づいて大小2段階で通過電流を変化させるメモリトランジスタに電流を供給する電源と、大通過電流時のメモリトランジスタと等しい通過電流特性を有して前記電源から電流を供給される基準トランジスタと、電源およびメモリトランジスタ間に設けられて電源からの電圧を分圧し、メモリトランジスタの通過電流の大きさに従って変化する負荷電圧を作り出す負荷素子と、電源および基準トランジスタ間に設けられて電源からの電圧を分圧し、基準トランジスタの通過電流に基づいて基準電圧を作り出す基準負荷素子と、前記負荷電圧の大きさを基準電圧と比較する差動増幅器とを備え、差動増幅器での比較結果から、基準トランジスタを通過する電流の大きさを基準にメモリトランジスタの通過電流の大きさを判定し、この判定に基づいてバイナリデータを読み出すデータ読み出し回路において、

前記メモリトランジスタに定電流回路を並列に接続したことを特徴とするデータ読み出し回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、EPROMメモリセル等を構成するメモリトランジスタからバイナリデータを読み出すデータ読み出し回路に関する。

【0002】

【従来の技術】例えば、不揮発性のEPROMメモリセルは、図5に示すように、フローティングゲートを備えたMOSTランジスタ101により構成される。このMOSTランジスタ101は、フローティングゲート102に蓄積された電子の有無に基づいて、大小2段階でドレイン103およびソース104間の通過電流を変化させる。フローティングゲート102に電子が蓄積されていないと、コントロールゲート105のゲート電圧により、ドレイン103およびソース104間に電流が流れ易くなる。一方、フローティングゲート102に電子が蓄積されていると、コントロールゲート105の正の電界が蓄積された電子によって相殺されるので、ドレイン103およびソース104間の電流は流れ難くなる。

【0003】いま、ドレイン電圧を1.2Vに固定し、フローティングゲート102に電子が蓄積されていない状態でコントロールゲート105にゲート電圧を印加する。図6の曲線Aに示すように、MOSTランジスタ101は、ゲート電圧 V_g 1.5Vでドレイン103およびソース104間に電流 I_{ds} を通過させ始めるように設定される（以下「第1閾値」という）。ゲート電圧 V_g の上昇にはほぼ比例して通過電流 I_{ds} は上昇していく。この状態を仮にバイナリデータ「1」と定義する。

【0004】MOSTランジスタ101に書き込み動作を行い、フローティングゲート102に電子を蓄積させる。いわゆる閾値変動電圧 ΔV_{th} は2Vに設定され、

したがって、コントロールゲート105にゲート電圧を印加するとMOSTランジスタ101はゲート電圧 V_g 3.5Vでドレインおよびソース間に電流 I_{ds} を通過させ始める（以下「第2閾値」という）。図6の曲線Bに示すように、電流特性はバイナリデータ「1」の曲線Aを平行移動させた曲線となる。この状態をバイナリデータ「0」と定義する。

【0005】MOSTランジスタ101では、通過電流におけるこれらの大小2段階の変化によって以下のようにバイナリデータ「1」または「0」が特定される。

【0006】図7は、MOSTランジスタにより構成された不揮発性メモリセル101に記憶されたバイナリデータを読み出すデータ読み出し回路を示す。このデータ読み出し回路110は、基準トランジスタ111を通過する電流の大きさを基準にメモリセル101の通過電流の大きさを判定し、この判定に基づいてバイナリデータを読み出す。

【0007】一般にEPROMでは、複数のメモリセルが格子状に配列される。メモリセル101からデータを読み出すには、まず、図示しないゲートの開放によってビット線112に電源 V_{cc} からの電流を供給するとともに、ワード線113を通じてゲート電圧を印加することによってメモリセル101を指定する。指定されたメモリセル101では、図6の曲線AまたはBのいずれかの特性に基づいてソースおよびドレイン間を電流 I_{ds} が通過する。

【0008】メモリセル101を通過する電流 I_{ds} の大小はセンス線114を通じて差動増幅器115によって検知される。すなわち、トランスファゲート116およびこのトランスファゲート116にバイアス電圧を印加するバイアス回路117の働きによって、ビット線112の電圧はほぼ一定値に維持される。この結果、センス線114には、メモリセル101の抵抗と負荷トランジスタ118の抵抗とによって分圧された負荷電圧 V_1 が現れる。この負荷電圧 V_1 の高低はメモリセル101の通過電流 I_{ds} の大きさを反映している。差動増幅器115は、この負荷電圧 V_1 と基準電圧生成回路 R_{V1} からの基準電圧 V_2 とを比較する。負荷電圧 V_1 の大きさが基準電圧 V_2 より大きいと、メモリセル101の通過電流が小さくバイナリデータ「0」が記憶されていると判定され、負荷電圧 V_1 の大きさが基準電圧 V_2 より小さいと、メモリセル101の通過電流が大きくバイナリデータ「1」が記憶されていると判定される。

【0009】基準電圧生成回路 R_{V1} は、基準トランジスタ111および基準負荷トランジスタ119を用いて電源 V_{cc} からの電圧を分圧し、分圧した電圧を基準電圧 V_2 として差動増幅器115に供給している。

【0010】基準電圧 V_2 の値を設定する要因となる基準トランジスタ111の抵抗値はドレインおよびソース間を通過する電流の大きさに依存する。基準トランジ

(3)

特開平8-195092

3

タ111のサイズはメモリセル101のMOSトランジスタのサイズと等しくされ、その結果、基準トランジスタ111の通過電流特性は、大通過電流時、すなわち、バイナリデータ「1」記憶時のメモリセル101の通過電流特性（図6の曲線A）と等しくなる。

【0011】ところで、基準電圧V2は、メモリセル101通過電流I_{ds}の大きさを識別する基準となることから、バイナリデータ「0」の低通過電流時の高い負荷電圧V1とバイナリデータ「1」の大通過電流時の低い負荷電圧V2との間に存在する必要がある。かかる基準電圧V2を得るために、従来では、基準負荷トランジスタ119の抵抗値を負荷トランジスタ118の抵抗値の例えば1/2に設定することによって、図6の曲線Cに示すように、仮想的に基準トランジスタ111の通過電流特性の傾きを緩やか（曲線Aの傾きの1/2の傾き）にしている。

【0012】

【発明が解決しようとする課題】ところが、このようにして基準電圧V2を設定すると、図6に示すように、基準トランジスタのゲート電圧V_gが6.5Vを超えた範囲では、低通過電流時のメモリセルの通過電流よりも基準トランジスタの通過電流が小さくなってしまふ。その結果、基準電圧V2がバイナリデータ「1」および「0」いずれの場合にも負荷電圧V1よりも大きくなり、差動増幅器ではメモリセル通過電流の大小の判定が行えなくなる。

【0013】しかも、MOSトランジスタのフローティングゲートに蓄積された電子は実際の使用に際して熱等の影響により徐々にフローティングゲートから流出してしまうことから、MOSトランジスタの第2閾値は下降する傾向にある。したがって、工場出荷当初は2Vに設定されていた閾値変動電圧が小さくなり（図6の曲線Bが左方向へ平行移動する）、差動増幅器での判定が不能となる6.5Vの電圧も段々と下降してしまう。

【0014】本発明は、上記実情に鑑みてなされたもので、メモリトランジスタの閾値変動電圧を大きくすることなく、大きなゲート電圧でもバイナリデータの判定が可能なデータ読み出し回路を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明によれば、バイナリデータの記憶に基づいて大小2段階で通過電流を変化させるメモリトランジスタに電流を供給する電源と、大通過電流時のメモリトランジスタと等しい通過電流特性を有して前記電源から電流を供給される基準トランジスタと、電源およびメモリトランジスタ間に設けられて電源からの電圧を分圧し、メモリトランジスタの通過電流の大きさに従って変化する負荷電圧を作り出す負荷素子と、電源および基準トランジスタ間に設けられて電源からの電圧を分圧し、基準ト

4

ランジスタの通過電流に基づいて基準電圧を作り出す基準負荷素子と、前記負荷電圧の大きさを基準電圧と比較する差動増幅器とを備え、差動増幅器での比較結果から、基準トランジスタを通過する電流の大きさを基準にメモリトランジスタの通過電流の大きさを判定し、この判定に基づいてバイナリデータを読み出すデータ読み出し回路において、前記メモリトランジスタに定電流回路を並列に接続したことを特徴とする。

【0016】

【作用】上記構成によれば、メモリトランジスタ側の負荷素子を流れる通過電流は、定電流回路から供給される電流によって基準トランジスタ側の負荷素子を流れる通過電流よりも常に一定量大きくなる。この一定量の積み増しによって、メモリトランジスタの広いゲート電圧にわたって負荷電圧および基準電圧間の大小関係が維持される。

【0017】

【実施例】以下、添付図面を参照しつつ本発明の好適な実施例を説明する。

【0018】図1は本発明に係るデータ読み出し回路を利用したEPROMの構成を示す。このEPROMは、例えば、格子状に配列された複数の不揮発性メモリセル101を備える（図には1個のみを示す）。各メモリセル101は、図6に示すMOSトランジスタ101によって構成される。

【0019】データ読み出し回路10は、外部からの命令に従ってバイナリデータを読み出すべきメモリセル101を指定する。すなわち、メモリセル101のドレインには、電源V_{cc}からの電流を供給するビット線11が接続される。このビット線11および電源V_{cc}間にはゲートが設けられ（図示せず）、ゲートの開閉に基づいてEPROMの「列」指定が順次行われる。メモリセル101のゲートには電源V_{cc}からの電圧を印加するワード線12が接続される。このワード線12からのゲート電圧に基づいてEPROMの「行」指定が行われる。

【0020】ビット線11から供給された電流は、ゲート電圧V_gの印加に応じてメモリセル101のドレインおよびソース間を通過する。通過電流は、フローティングゲートの電子の有無に従って大小2段階で変化し、この変化に基づいてバイナリデータ「1」または「0」が特定される。データ読み出し回路10は、基準トランジスタ13を通過する電流の大きさを基準に、指定されたメモリセル101の通過電流の大きさを判定し、その判定に基づいてバイナリデータを読み出す。

【0021】メモリセル101を通過する電流の大小は、トランスファゲート14を介して接続されるセンス線15を通じて差動増幅器16によって検知される。センス線15には、メモリセル101の抵抗と負荷トランジスタ18の抵抗とによって分圧された負荷電圧V1

50

(4)

特開平8-195092

5

が現れる。この負荷電圧 V_1 の高低はメモリセル101の通過電流の大小を反映する。トランスファークラップ14には、バイアス回路17からバイアス電圧が印加され、これによって、メモリセル101のドレイン電圧はほぼ一定値に維持される。

【0022】差動増幅器16は、負荷電圧 V_1 の大きさを基準電圧生成回路RV2からの基準電圧 V_2 と比較する。この差動増幅器16では、負荷電圧 V_1 の大きさが基準電圧 V_2 より大きいと、メモリセル101の通過電流が小さくバイナリデータ「0」が記憶されていると判定され、負荷電圧 V_1 の大きさが基準電圧 V_2 よりも小さいと、メモリセル101の通過電流が大きくバイナリデータ「1」が記憶されていると判定される。

【0023】基準電圧生成回路RV2は、基準トランジスタ13と、この基準トランジスタ13と偏斜して電源 V_{cc} からの電圧を分圧して基準電圧 V_2 を作り出す基準負荷トランジスタ19とを備える。

【0024】基準トランジスタ13にはメモリセル101と共通の電源 V_{cc} から電流が供給される。供給された電流は、電源 V_{cc} からのゲート電圧 V_g の印加に応じてドレインおよびソース間を通過する。基準トランジスタ13の電流通過特性は、大通過電流時、すなわち、バイナリデータ「1」記憶時のメモリセル101の通過電流特性(図6の曲線A)と等しく設定される。基準トランジスタ13のサイズはメモリセル101のMOSトランジスタのサイズと等しくなる。

【0025】基準電圧 V_2 の大きさは、基準負荷トランジスタ19の抵抗値と、基準トランジスタ13の抵抗値、すなわち、基準トランジスタ13の通過電流の大きさによって決定される。本発明では、基準負荷トランジスタ19の抵抗値は負荷トランジスタ18の抵抗値と等しく設定される。

【0026】トランスファークラップ20は、バイアス回路21から印加されるバイアス電圧に基づいて、基準トランジスタ13のドレイン電圧をほぼ一定値に固定する。

【0027】本発明の特徴とするところは、メモリセル101に、メモリセル101の通過電流に一定の電流、例えば、 $20\mu A$ の電流を積み増す定電流回路22が並列に接続されることにある。この電流の積み増しは、低通過電流時、すなわち、バイナリデータ「0」記憶時のメモリセル101の通過電流の大きさを越えない程度に設定される。この電流の積み増しによって大通過電流時のメモリセル101のMOSトランジスタの通過電流と基準トランジスタ13の通過電流とは、互いに通過電流特性が等しいにも拘わらず、通過電流が区別づけられる。

【0028】例えば、トランスファークラップ14、20を用いて、メモリセル101および基準トランジスタ13のドレイン電圧をほぼ1.2Vに固定すると、電流の

6

積み増しによって、図6に示すように、バイナリデータ「1」または「0」について $20\mu A$ 底上げされた通過電流特性(曲線A1およびB1)が得られる。

【0029】いま、これらの特性の下でデータ読み出し回路10がメモリセル101からバイナリデータ「1」を読み出す場合を考える。EPROMにおいてメモリセル101が選択されると、メモリセル101および基準トランジスタ13のゲートに5Vの電源 V_{cc} 電圧が印加される。電源 V_{cc} からの電流は、図6に示すように、曲線A1またはB1の通過電流特性に従ってメモリセル101を通過し、曲線Aの通過電流特性に従って基準トランジスタ13を通過する。その結果、図2に示すように、ゲート電圧 V_g 5Vにおいて負荷電圧 V_1 は基準電圧 V_2 よりも小さくなる。この大小関係は差動増幅器16で検知され、バイナリデータ「1」としてハイレベル信号が出力される。

【0030】メモリセル101からバイナリデータ「0」を読み出す場合には、図2に示すように、ゲート電圧 V_g 5Vにおいて負荷電圧 V_1 は基準電圧 V_2 よりも大きくなる。差動増幅器16はこの大小関係を検知し、バイナリデータ「0」としてローレベル信号が出力される。

【0031】図6から明らかなように、大小2段階のいずれの場合でもメモリセル101の通過電流特性は基準トランジスタ13の電流通過特性と等しい傾きを有する。この電流特性によれば、図2に示すように、ゲート電圧 V_g の広い範囲にわたって、特に、大きなゲート電圧 V_g 領域で、基準電圧 V_2 および2段階の負荷電圧 V_1 の大小関係が維持される。このゲート電圧 V_g 領域の拡大によって、メモリセル101の閾値変動電圧 ΔV_{th} を大きくすることなくEPROM設計上の自由度を増加させることができる。また、バイナリデータ「0」記憶時の負荷電圧 V_1 の傾きと基準電圧 V_2 の傾きとがほぼ等しいことから、熱等の影響によってメモリセル101のMOSトランジスタのフローティングゲートから電子が流出しても、負荷電圧 V_1 と基準電圧 V_2 との大小関係が逆転するまでに大きな余裕を持たせることができる。したがって、メモリセル101の閾値変動電圧 ΔV_{th} を大きくせずとも耐久性のあるEPROMを提供することが可能である。

【0032】定電流回路22としては既知の回路を適用することができる。例えば、図3は、カレントミラーを利用した定電流回路を示す。この定電流回路22は、電源 V_{cc} からの電流をゲート電圧に応じて通過させる第1MOSFET30と、この第1MOSFET30を通過した電流をゲート電圧に応じて通過させる第2MOSFET31とを備える。第1MOSFET30のドレインはゲートに接続される。第1MOSFET30のオン抵抗は比較的高く設定され、かつ、ドレインとゲートが接続されて飽和領域で動作するため、第1MOSFET

(4)

特開平8-195092

5

5

が現れる。この負荷電圧 V_1 の高低はメモリセル101の通過電流の大小を反映する。トランスファークラップ14には、バイアス回路17からバイアス電圧が印加され、これによって、メモリセル101のドレイン電圧はほぼ一定値に維持される。

【0022】差動増幅器16は、負荷電圧 V_1 の大きさを基準電圧生成回路 R_2 からの基準電圧 V_2 と比較する。この差動増幅器16では、負荷電圧 V_1 の大きさが基準電圧 V_2 より大きいと、メモリセル101の通過電流が小さくバイナリデータ「0」が記憶されていると判定され、負荷電圧 V_1 の大きさが基準電圧 V_2 よりも小さいと、メモリセル101の通過電流が大きくバイナリデータ「1」が記憶されていると判定される。

【0023】基準電圧生成回路 R_2 は、基準トランジスタ13と、この基準トランジスタ13と協働して電源 V_{cc} からの電圧を分圧して基準電圧 V_2 を作り出す基準負荷トランジスタ19とを備える。

【0024】基準トランジスタ13にはメモリセル101と共通の電源 V_{cc} から電流が供給される。供給された電流は、電源 V_{cc} からのゲート電圧 V_g の印加に応じてドレインおよびソース間を通過する。基準トランジスタ13の電流通過特性は、大通過電流時、すなわち、バイナリデータ「1」記憶時のメモリセル101の通過電流特性（図6の曲線A）と等しく設定される。基準トランジスタ13のサイズはメモリセル101のMOSトランジスタのサイズと等しくなる。

【0025】基準電圧 V_2 の大きさは、基準負荷トランジスタ19の抵抗値と、基準トランジスタ13の抵抗値、すなわち、基準トランジスタ13の通過電流の大きさによって決定される。本発明では、基準負荷トランジスタ19の抵抗値は負荷トランジスタ18の抵抗値と等しく設定される。

【0026】トランスファークラップ20は、バイアス回路21から印加されるバイアス電圧に基づいて、基準トランジスタ13のドレイン電圧をほぼ一定値に固定する。

【0027】本発明の特徴とするところは、メモリセル101に、メモリセル101の通過電流に一定の電流、例えば、 $20\mu A$ の電流を積み増す定電流回路22が並列に接続されることにある。この電流の積み増しは、低通過電流時、すなわち、バイナリデータ「0」記憶時のメモリセル101の通過電流の大きさが基準トランジスタ13の通過電流の大きさを越えない程度に設定される。この電流の積み増しによって大通過電流時のメモリセル101のMOSトランジスタの通過電流と基準トランジスタ13の通過電流とは、互いに通過電流特性が等しいにも拘わらず、通過電流が区別づけられる。

【0028】例えば、トランスファークラップ14、20を用いて、メモリセル101および基準トランジスタ13のドレイン電圧をほぼ1.2Vに固定すると、電流の

積み増しによって、図6に示すように、バイナリデータ「1」または「0」について $20\mu A$ 底上げされた通過電流特性（曲線AおよびB）が得られる。

【0029】いま、これらの特性の下でデータ読み出し回路10がメモリセル101からバイナリデータ「1」を読み出す場合を考える。EPROMにおいてメモリセル101が選択されると、メモリセル101および基準トランジスタ13のゲートに5Vの電源 V_{cc} 電圧が印加される。電源 V_{cc} からの電流は、図6に示すように、曲線AまたはBの通過電流特性に従ってメモリセル101を通過し、曲線Aの通過電流特性に従って基準トランジスタ13を通過する。その結果、図2に示すように、ゲート電圧 V_g 5Vにおいて負荷電圧 V_1 は基準電圧 V_2 よりも小さくなる。この大小関係は差動増幅器16で検知され、バイナリデータ「1」としてハイレベル信号が出力される。

【0030】メモリセル101からバイナリデータ「0」を読み出す場合には、図2に示すように、ゲート電圧 V_g 5Vにおいて負荷電圧 V_1 は基準電圧 V_2 よりも大きくなる。差動増幅器16はこの大小関係を検知し、バイナリデータ「0」としてローレベル信号が出力される。

【0031】図6から明らかなように、大小2段階のいずれの場合でもメモリセル101の通過電流特性は基準トランジスタ13の電流通過特性と等しい傾きを有する。この電流特性によれば、図2に示すように、ゲート電圧 V_g の広い範囲にわたって、特に、大きなゲート電圧 V_g 領域で、基準電圧 V_2 および2段階の負荷電圧 V_1 の大小関係が維持される。このゲート電圧 V_g 範囲の拡大によって、メモリセル101の閥値変動電圧 ΔV_{th} を大きくすることなくEPROM設計上の自由度を増加させることができる。また、バイナリデータ「0」記憶時の負荷電圧 V_1 の傾きと基準電圧 V_2 の傾きとがほぼ等しいことから、熱等の影響によってメモリセル101のMOSトランジスタのフローティングゲートから電子が流出しても、負荷電圧 V_1 と基準電圧 V_2 との大小関係が逆転するまでに大きな余裕を持たせることができる。したがって、メモリセル101の閥値変動電圧 ΔV_{th} を大きくせずとも耐久性のあるEPROMを提供することが可能である。

【0032】定電流回路22としては既知の回路を適用することができる。例えば、図3は、カレントミラーを利用した定電流回路を示す。この定電流回路22は、電源 V_{cc} からの電流をゲート電圧に応じて通過させる第1MOSFET30と、この第1MOSFET30を通過した電流をゲート電圧に応じて通過させる第2MOSFET31とを備える。第1MOSFET30のドレインはゲートに接続される。第1MOSFET30のオン抵抗は比較的高く設定され、かつ、ドレインとゲートが接続されて飽和領域で動作するため、第1MOSFET

(5)

特開平 8-195092

7

8

30には一定の電流が流れる。第2MOSFET31には一定のゲート電圧の下で一定の電流が通過し、カレントミラー回路の働きによって、第3MOSFET33にも一定の電流が通過する。

【0033】図4はデプレッション型MOSFETを用いた定電流回路を示す。この定電流回路22は、MOSFET35のソースおよびゲート間を接続している。このMOSFET35によれば、ゲート電圧が常に0Vに保持され、その結果、ドレイン電圧が所定値を越え、ドレイン電圧が変化してもドレインおよびソース間電流がほぼ一定に保たれる。

【0034】なお、基準電圧発生回路RV2は、1メモリセルすなわち1メモリトランジスタごとに設けても、8ビット単位や1デバイスごとに設けてもよい。また、本発明は、EPROMメモリセルのデータ読み出し回路に限定されるものではなく、他の不揮発性メモリのデータ読み出し回路にも適用することができる。

【0035】

【発明の効果】以上のように本発明によれば、メモリトランジスタの通過電流を一定の電流量積み増すことによって、メモリトランジスタのゲート電圧の広い範囲にわたって負荷電圧および基準電圧の大小関係を維持すること

*とができる。その結果、メモリ設計上の自由度が拡大される。

【図面の簡単な説明】

【図1】 本発明に係るデータ読み出し回路を用いたEPROMの回路構成図である。

【図2】 メモリトランジスタのゲート電圧と負荷電圧または基準電圧との関係を示すグラフである。

【図3】 定電流回路の第1実施例を示す回路構成図である。

【図4】 定電流回路の第2実施例を示す回路構成図である。

【図5】 メモリセルの概略を示す構成図である。

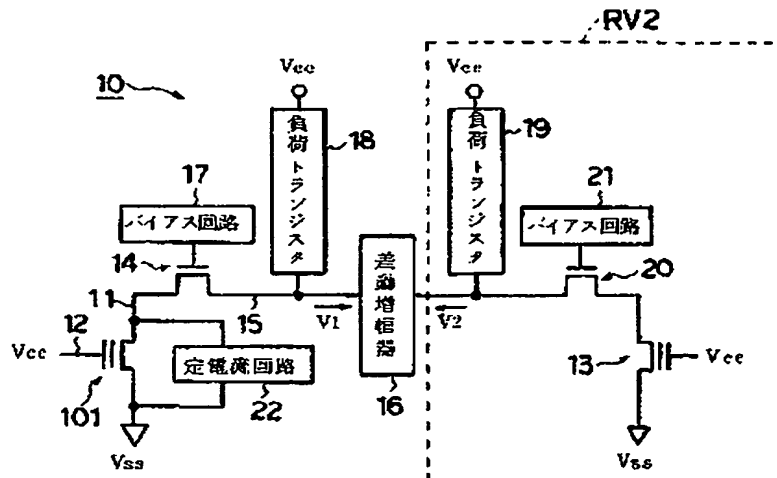
【図6】 MOSトランジスタのゲート電圧と通過電流との関係を示すグラフである。

【図7】 従来のデータ読み出し回路の回路構成図である。

【符号の説明】

10 データ読み出し回路、13 基準トランジスタ、16 差動増幅器、18 負荷素子としての負荷トランジスタ、19 基準負荷トランジスタ、22 定電流回路、101 メモリトランジスタとしてのMOSトランジスタ、Vcc 電源。

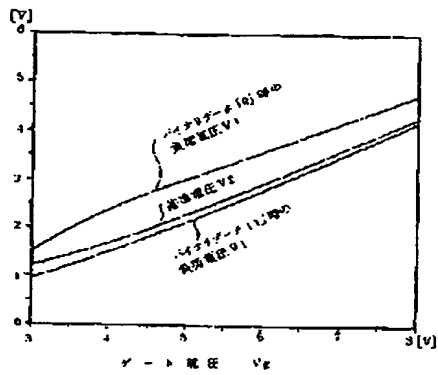
【図1】



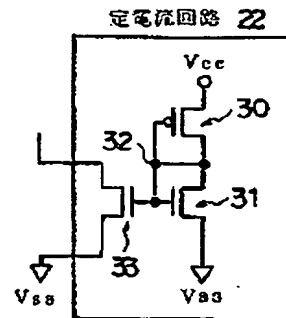
(5)

特開平8-195092

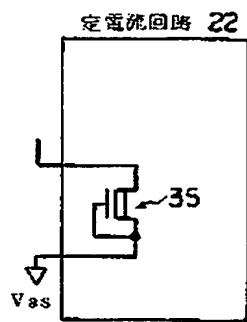
【図2】



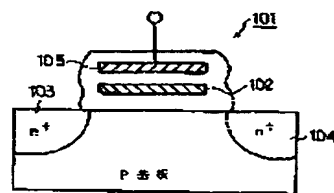
【図3】



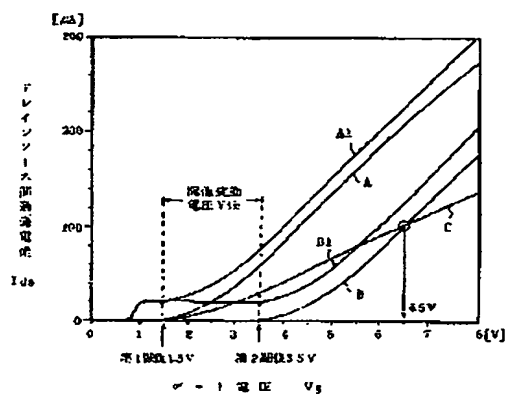
【図4】



【図5】



【図6】



(7)

特開平 8-195092

【図 7】

